

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Michiaki KUROIWA

Group Art Unit: Unassigned

Application No.: Unassigned

Examiner: Unassigned

Filing Date: February 26, 2004

Confirmation No.: Unassigned

Title: MICROCOMPUTER HAVING POWER SUPPLY CIRCUIT SWITCHING LOW PASS FILTER

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following priority foreign application(s) in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

Country: Japan

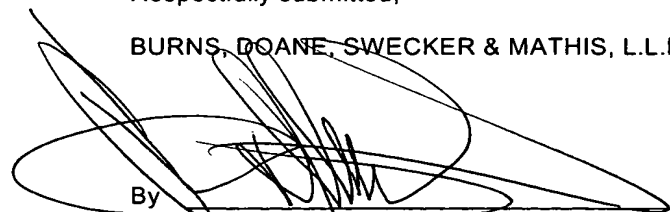
Patent Application No(s): 2003-162517

Filed: June 6, 2003

In support of this claim, enclosed is a certified copy(ies) of said foreign application(s). Said prior foreign application(s) is referred to in the oath or declaration. Acknowledgment of receipt of the certified copy(ies) is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.



By

Platon N. Mandros

Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

Date: February 26, 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 6月 6日

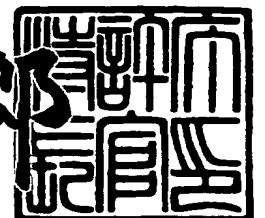
出願番号
Application Number: 特願2003-162517
[ST. 10/C]: [JP2003-162517]

出願人
Applicant(s): 株式会社ルネサステクノロジ

2003年 7月 8日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3054124

【書類名】 特許願

【整理番号】 530014JP01

【提出日】 平成15年 6月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/78 510

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内

【氏名】 黒岩 通明

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコンピュータ

【特許請求の範囲】

【請求項 1】 電源回路と、

前記電源回路によって電源電圧を制御されるマイクロコンピュータ本体とを備え、

前記電源回路は、

外部電源電圧が印加される電源入力端子と、

前記電源入力端子と前記マイクロコンピュータ本体との間に設けられた低域通過フィルタと、

前記電源入力端子と前記マイクロコンピュータ本体との間に、前記低域通過フィルタと並列に接続されたスイッチ素子と、

前記スイッチ素子のオンオフを制御する制御回路とを含む、マイクロコンピュータ。

【請求項 2】 前記制御回路は、前記マイクロコンピュータ本体に含まれるフラッシュメモリへの書込み時であるか否かに応じて、前記スイッチ素子のオンオフを制御する、請求項 1 に記載のマイクロコンピュータ。

【請求項 3】 前記制御回路は、前記マイクロコンピュータ本体に供給される電源電圧が所定の電圧より低いかに応じて、前記スイッチ素子のオンオフを制御する、請求項 1 に記載のマイクロコンピュータ。

【請求項 4】 前記制御回路は、前記スイッチ素子のオンオフ情報を保持するレジスタである、請求項 1 に記載のマイクロコンピュータ。

【請求項 5】 前記制御回路は、前記マイクロコンピュータ本体に含まれるメモリからのデータ信号に応じて、前記スイッチ素子のオンオフを制御するレジスタである、請求項 1 に記載のマイクロコンピュータ。

【請求項 6】 外部クロック信号が入力されるクロック入力端子と、
前記外部クロック信号を 2 分周する 2 分周回路と、
前記レジスタが保持する前記スイッチ素子のオンオフ情報に応じて、前記 2 分周回路によって 2 分周される外部クロック信号および 2 分周されない外部クロック

ク信号のいずれか一方を選択して、それを前記マイクロコンピュータ本体に供給する選択回路とをさらに備える、請求項4に記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、マイクロコンピュータに関し、より特定的には、低域通過フィルタが組み込まれた電源回路を有するマイクロコンピュータに関する。

【0002】

【従来の技術】

従来のマイクロコンピュータは、電源回路に低域通過フィルタ（以下、LPFと称する）を組み込むことによって、電源端子からの高周波ノイズを抑えることができる。

【0003】

特許文献1に記載された電源回路（DC／DCコンバータ回路）は、入力端子に印加される直流電圧を昇圧するコンバータと、このコンバータからの出力電圧の交流成分に応じて内部スイッチを切り替える低インピーダンス回路と、この低インピーダンス回路から出力される出力信号の交流成分を接地面に流すノイズ除去用コンデンサとを備える。

【0004】

【特許文献1】

特開平9-93913号公報

【0005】

【発明が解決しようとする課題】

特許文献1に記載された電源回路は、コンバータからの出力電圧の交流成分に含まれる高調波ノイズを、低インピーダンス回路およびノイズ除去用コンデンサにより、LPFの原理を用いて除去することができる。

【0006】

しかしながら、特許文献1に記載された電源回路は、出力端子に接続される回路が、高速動作時または低電圧動作時において、LPFによる電圧降下の影響を

受けるという問題点があった。

【0007】

それゆえに、この発明の目的は、高速動作時または低電圧動作時においてもLPFによる電圧降下の影響を回避できる電源回路を有するマイクロコンピュータを提供することである。

【0008】

【課題を解決するための手段】

この発明によるマイクロコンピュータは、電源回路と、電源回路によって電源電圧を制御されるマイクロコンピュータ本体とを備える。電源回路は、外部電源電圧が印加される電源入力端子と、電源入力端子とマイクロコンピュータ本体との間に設けられた低域通過フィルタと、電源入力端子とマイクロコンピュータ本体との間に、低域通過フィルタと並列に接続されたスイッチ素子と、スイッチ素子のオンオフを制御する制御回路とを含む。

【0009】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

【0010】

【実施の形態1】

図1は、この発明の実施の形態1によるマイクロコンピュータの回路構成を示した回路図である。

【0011】

図1に示す実施の形態1のマイクロコンピュータ（以下、マイコンとも称する）は、外部電源電圧VCCが印加される電源入力端子1と、電源入力端子1とノードN1との間の抵抗成分を表わす抵抗素子2と、電源入力端子1とノードN1との間のインダクタンス成分を表わすインダクタ3と、ノードN1と接地ノードとの間に接続されたキャパシタ4とを備える。

【0012】

抵抗素子2、インダクタ3、およびキャパシタ4は、LPFを構成する。なお

、抵抗素子 2、インダクタ 3、およびキャパシタ 4 は、電源配線の引き回しにより寄生的に発生する抵抗成分、インダクタンス成分、およびキャパシタンス成分を含む。

【0013】

図 1 に示す実施の形態 1 のマイクロコンピュータは、さらに、電源入力端子 1 とノード N1 との間に抵抗素子 2 およびインダクタ 3 と並列に接続された P チャネル MOS トランジスタ 5 と、ノード N1 に接続されるマイコン本体 10 A と、P チャネル MOS トランジスタ 5 のゲートにモード設定信号 Smod を出力するマイコン動作モード設定回路 11 とを備える。なお、P チャネル MOS トランジスタ 5 は、モード設定信号 Smod に応じてオンオフするスイッチ素子であればよく、P チャネル MOS トランジスタだけには限られない。

【0014】

電源入力端子 1、抵抗素子 2、インダクタ 3、キャパシタ 4、P チャネル MOS トランジスタ 5、およびマイコン動作モード設定回路 11 は、実施の形態 1 によるマイクロコンピュータの電源回路を構成し、ノード N1 に与えられるマイコン本体 10 A の電源電圧を制御する。マイコン本体 10 A は、CPU (Central Processing Unit)、フラッシュメモリ、RAM (Random Access Memory)、および周辺回路を含む。

【0015】

マイコン動作モード設定回路 11 は、マイコン本体 10 A に含まれるフラッシュメモリに対して書込み動作を行なうフラッシュメモリ書込みモードのとき、モード設定信号 Smod を L レベル (論理ロー) に設定する。また、フラッシュメモリ書込みモード以外ときには、モード設定信号 Smod を H レベル (論理ハイ) に設定する。

【0016】

モード設定信号 Smod が L レベルのとき、P チャネル MOS トランジスタ 5 はオンとなる。このため、電源入力端子 1 とノード N1 との間が短絡し、電源入力端子 1 とノード N1 との間のインピーダンスは低下する。これにより、抵抗素子 2、インダクタ 3、およびキャパシタ 4 により構成される LPF による電圧降

下を低く抑えることができる。

【0017】

したがって、モード設定信号 S_{mod} が L レベルのとき、電源入力端子 1 に印加される外部電源電圧 V_{CC} は、LPF による電圧降下の影響を受けずにマイコン本体 10A に供給される。これにより、電源入力端子 1 に印加される外部電源電圧 V_{CC} が低い場合でも、フラッシュメモリ書込みモード時に必要な最低動作電圧をマイコン本体 10A に供給することが可能となる。

【0018】

一方、モード設定信号 S_{mod} が H レベルのとき、P チャネル MOS トランジスタ 5 はオフとなる。このとき、P チャネル MOS トランジスタ 5 は存在しないのと同じになる。したがって、電源入力端子 1 にノイズが印加された場合、抵抗素子 2、インダクタ 3、およびキャパシタ 4 によって構成される LPF により高周波ノイズが除去される。これにより、マイコン本体 10A に供給される電圧の変動が抑えられ、マイコン本体 10A の誤動作を防止することができる。

【0019】

また、マイコン本体 10A の動作によってマイコン本体 10A からノイズが生じた場合にも、抵抗素子 2、インダクタ 3、およびキャパシタ 4 によって構成される LPF により高周波ノイズが除去される。これにより、電源入力端子 1 からの高周波ノイズの放射を抑えることができる。

【0020】

以上のように、実施の形態 1 によれば、フラッシュメモリ書込みモードであるか否かに応じてモード設定信号 S_{mod} のレベルを設定することにより、フラッシュメモリ書込みモード時におけるマイコン本体 10A の低電圧特性を向上させるとともに、フラッシュメモリ書込みモード時以外での高周波ノイズによる影響を防止することができる。

【0021】

[実施の形態 2]

図 2 は、この発明の実施の形態 2 によるマイクロコンピュータの回路構成を示した回路図である。

【0022】

図2に示す実施の形態2のマイクロコンピュータは、実施の形態1のマイコン本体10A、およびマイコン動作モード設定回路11が、マイコン本体10B、および電源電圧低下検出回路12にそれぞれ置き換えられた構成となっている。電源入力端子1、抵抗素子2、インダクタ3、キャパシタ4、およびPチャネルMOSトランジスタ5は、実施の形態1と同様なので、ここでは説明を繰り返さない。

【0023】

電源入力端子1、抵抗素子2、インダクタ3、キャパシタ4、PチャネルMOSトランジスタ5、および電源電圧低下検出回路12は、実施の形態2によるマイクロコンピュータの電源回路を構成し、ノードN1に与えられるマイコン本体10Bの電源電圧を制御する。マイコン本体10Bは、CPU、フラッシュメモリ、RAM、および周辺回路を含む。このフラッシュメモリは、他のプログラマブルROM (Read Only Memory) またはマスクROMに置き換えられてもよい。

【0024】

電源電圧低下検出回路12は、PチャネルMOSトランジスタ5のゲートに電源電圧低下検出信号Sdetを出力する。電源電圧低下検出回路12は、ノードN1に与えられるマイコン本体10Bの電源電圧をモニターし、マイコン本体10Bの電源電圧が所定の電圧より低くなったとき、電源電圧低下検出信号SdetをLレベルとする。また、マイコン本体10Bの電源電圧が所定の電圧以上となったときには、電源電圧低下検出信号SdetをHレベルとする。

【0025】

電源電圧低下検出信号SdetがLレベルのとき、PチャネルMOSトランジスタ5はオンとなる。このため、電源入力端子1とノードN1との間が短絡し、電源入力端子1とノードN1との間のインピーダンスは低下する。これにより、抵抗素子2、インダクタ3、およびキャパシタ4により構成されるLPFによる電圧降下を低く抑えることができる。

【0026】

したがって、電源電圧低下検出信号SdetがLレベルのとき、電源入力端子

1 に印加される外部電源電位 V_{CC} は、LPF による電圧降下の影響を受けずにマイコン本体 10B に供給される。これにより、ノード N1 に与えられるマイコン本体 10B の電源電圧は、LPF による電圧降下が低く抑えられる分だけ上昇し、マイコン本体 10B の通常動作電圧が確保される。

【0027】

なお、マイコン本体 10B の電源電圧が所定の電圧より低くなると、マイコン本体 10B の動作電流が減少する。これにより、マイコン本体 10B に含まれるトランジスタの駆動能力が低下するため、電源入力端子 1 にノイズが印加された場合におけるマイコン本体 10B の誤動作耐性が向上する。また、マイコン本体 10B の動作電流が減少することにより、マイコン本体 10B から生じるノイズも低いレベルにとどまる。したがって、電源電圧低下検出信号 S_{det} が L レベルのときにも、マイコン本体 10B の低電圧特性および高周波ノイズ耐性が問題となることはない。

【0028】

一方、電源電圧低下検出信号 S_{det} が H レベルのとき、P チャネル MOS トランジスタ 5 はオフとなる。このとき、P チャネル MOS トランジスタ 5 は存在しないのと同じになる。したがって、電源入力端子 1 にノイズが印加された場合、抵抗素子 2、インダクタ 3、およびキャパシタ 4 によって構成される LPF により高周波ノイズが除去される。これにより、マイコン本体 10B に供給される電圧の変動が抑えられ、マイコン本体 10B の誤動作を防止することができる。

【0029】

また、マイコン本体 10B の動作によってマイコン本体 10B からノイズが生じた場合にも、抵抗素子 2、インダクタ 3、およびキャパシタ 4 によって構成される LPF により高周波ノイズが除去される。これにより、電源入力端子 1 から高周波ノイズの放射を抑えることができる。

【0030】

以上のように、実施の形態 2 によれば、マイコン本体 10B の電源電圧が所定の電圧より低いか否かに応じて電源電圧低下検出信号 S_{det} のレベルを設定することにより、マイコン本体 10B の電源電圧が所定の電圧より低くなった場合

にもマイコン本体10Bの通常動作電圧が確保される。また、高周波ノイズによる影響を防止することができる。

【0031】

[実施の形態3]

図3は、この発明の実施の形態3によるマイクロコンピュータの回路構成を示した回路図である。

【0032】

図3に示す実施の形態3のマイクロコンピュータは、実施の形態1のマイコン本体10A、およびマイコン動作モード設定回路11が、マイコン本体10C、およびレジスタ13Aにそれぞれ置き換えられた構成となっている。電源入力端子1、抵抗素子2、インダクタ3、キャパシタ4、およびPチャネルMOSトランジスタ5は、実施の形態1と同様なので、ここでは説明を繰り返さない。

【0033】

電源入力端子1、抵抗素子2、インダクタ3、キャパシタ4、PチャネルMOSトランジスタ5、およびレジスタ13Aは、実施の形態3によるマイクロコンピュータの電源回路を構成し、ノードN1に与えられるマイコン本体10Cの電源電圧を制御する。マイコン本体10Cは、CPU、フラッシュメモリ、RAM、および周辺回路を含む。このフラッシュメモリは、他のプログラマブルROMまたはマスクROMに置き換えられてもよい。

【0034】

レジスタ13Aは、PチャネルMOSトランジスタ5のゲートにレジスタ信号Sregを出力する。レジスタ13Aは、プログラマブルレジスタであって、マイコン本体10Cに供給される電源電圧の条件に応じて、「0」または「1」の値を保持する。レジスタ13Aが「0」の値を保持するとき、レジスタ信号SregはLレベルとなる。また、レジスタ13Aが「1」の値を保持するとき、レジスタ信号SregはHレベルとなる。

【0035】

レジスタ信号SregがLレベルのとき、PチャネルMOSトランジスタ5はオンとなる。このため、電源入力端子1とノードN1との間が短絡し、電源入力

端子1とノードN1との間のインピーダンスは低下する。これにより、抵抗素子2、インダクタ3、およびキャパシタ4により構成されるLPFによる電圧降下を低く抑えることができる。

【0036】

したがって、レジスタ信号SregがLレベルのとき、電源入力端子1に印加される外部電源電圧VCCは、LPFによる電圧降下の影響を受けずにマイコン本体10Cに供給される。これにより、電源入力端子1に印加される外部電源電圧VCCが低い場合でも、マイコン本体10Cの通常動作電圧をマイコン本体10Cに供給することが可能となる。

【0037】

一方、レジスタ信号SregがHレベルのとき、PチャネルMOSトランジスタ5はオフとなる。このとき、PチャネルMOSトランジスタ5は存在しないのと同じになる。したがって、電源入力端子1にノイズが印加された場合、抵抗素子2、インダクタ3、およびキャパシタ4によって構成されるLPFにより高周波ノイズが除去される。これにより、マイコン本体10Cに供給される電圧の変動が抑えられ、マイコン本体10Cの誤動作を防止することができる。

【0038】

また、マイコン本体10Cの動作によってマイコン本体10Cからノイズが生じた場合にも、抵抗素子2、インダクタ3、およびキャパシタ4によって構成されるLPFにより高周波ノイズが除去される。これにより、電源入力端子1からの高周波ノイズの放射を抑えることができる。

【0039】

以上のように、実施の形態3によれば、マイコン本体10Cに供給される電源電圧の条件に応じてレジスタ信号Sregのレベルを設定することにより、マイコン本体10Cの低電圧特性の向上を重視するか、高周波ノイズによる影響の防止を重視するかを自由に選択可能となる。

【0040】

[実施の形態4]

図4は、この発明の実施の形態4によるマイクロコンピュータの回路構成を示

した回路図である。

【0041】

図4に示す実施の形態4のマイクロコンピュータは、実施の形態1のマイコン本体10A、およびマイコン動作モード設定回路11が、マイコン本体10D、およびレジスタ13Bにそれぞれ置き換えられた構成となっている。電源入力端子1、抵抗素子2、インダクタ3、キャパシタ4、およびPチャネルMOSトランジスタ5は、実施の形態1と同様なので、ここでは説明を繰り返さない。

【0042】

電源入力端子1、抵抗素子2、インダクタ3、キャパシタ4、PチャネルMOSトランジスタ5、およびレジスタ13Bは、実施の形態4によるマイクロコンピュータの電源回路を構成し、ノードN1に与えられるマイコン本体10Dの電源電圧を制御する。マイコン本体10Dは、CPU、RAM、周辺回路、およびメモリ10mを含む。

【0043】

メモリ10mは、マイコン本体10Dのリセットシーケンスの状態において、ある特定番地における「0」または「1」のデータ信号DATをレジスタ13Bに転送する。データ信号DATの値は、マイコン本体10Dに供給される電源電圧の条件に応じて決定される。レジスタ13Bは、メモリ10mから出力されるデータ信号DATをラッチして保持する。なお、メモリ10mおよびレジスタ13Bは、マイコン本体10Dに含まれるCPUにより、マイコン本体10Dのリセットシーケンスの状態における動作が制御される。

【0044】

レジスタ13Bは、PチャネルMOSトランジスタ5のゲートにレジスタ信号Sregを出力する。マイコン本体10Dのリセットシーケンスが開始され、メモリ10mから出力されるデータ信号DATが「0」のとき、レジスタ信号SregはLレベルとなる。また、マイコン本体10Dのリセットシーケンスが開始され、メモリ10mから出力されるデータ信号DATが「1」のとき、レジスタ信号SregはHレベルとなる。

【0045】

レジスタ信号 S_{reg} が L レベルのとき、P チャネル MOS トランジスタ 5 はオンとなる。このため、電源入力端子 1 とノード N 1 との間が短絡し、電源入力端子 1 とノード N 1 との間のインピーダンスは低下する。これにより、抵抗素子 2、インダクタ 3、およびキャパシタ 4 により構成される LPF による電圧降下を低く抑えることができる。

【0046】

したがって、レジスタ信号 S_{reg} が L レベルのとき、電源入力端子 1 に印加される外部電源電圧 V_{CC} は、LPF による電圧降下の影響を受けずにマイコン本体 10D に供給される。これにより、電源入力端子 1 に印加される外部電源電圧 V_{CC} が低い場合でも、マイコン本体 10D の通常動作電圧をマイコン本体 10D に供給することが可能となる。

【0047】

一方、レジスタ信号 S_{reg} が H レベルのとき、P チャネル MOS トランジスタ 5 はオフとなる。このとき、P チャネル MOS トランジスタ 5 は存在しないのと同じになる。したがって、電源入力端子 1 にノイズが印加された場合、抵抗素子 2、インダクタ 3、およびキャパシタ 4 によって構成される LPF により高周波ノイズが除去される。これにより、マイコン本体 10D に供給される電圧の変動が抑えられ、マイコン本体 10D の誤動作を防止することができる。

【0048】

また、マイコン本体 10D の動作によってマイコン本体 10D からノイズが生じた場合にも、抵抗素子 2、インダクタ 3、およびキャパシタ 4 によって構成される LPF により高周波ノイズが除去される。これにより、電源入力端子 1 からの高周波ノイズの放射を抑えることができる。

【0049】

以上のように、実施の形態 4 によれば、メモリ 10m の特定番地にデータを記憶させておくだけで、プログラムによりレジスタ 13B の設定をすることなく、実施の形態 3 と同等の効果を得ることができる。

【0050】

[実施の形態 5]

図5は、この発明の実施の形態5によるマイクロコンピュータの回路構成を示した回路図である。

【0051】

図5に示す実施の形態5のマイクロコンピュータは、実施の形態1のマイコン本体10A、およびマイコン動作モード設定回路11が、マイコン本体10E、およびレジスタ13Cにそれぞれ置き換えられ、外部クロック信号CLK0が入力されるクロック入力端子21と、外部クロック信号CLK0を2分周する2分周回路22と、2分周された外部クロック信号および2分周されない外部クロック信号のいずれか一方を選択し、それをクロック信号CLKとしてマイコン本体10Eに出力する選択回路23とをさらに備える。電源入力端子1、抵抗素子2、インダクタ3、キャパシタ4、およびPチャネルMOSトランジスタ5は、実施の形態1と同様なので、ここでは説明を繰り返さない。

【0052】

電源入力端子1、抵抗素子2、インダクタ3、キャパシタ4、PチャネルMOSトランジスタ5、レジスタ13Cは、実施の形態5によるマイクロコンピュータの電源回路を構成し、ノードN1に与えられるマイコン本体10Eの電源電圧を制御する。マイコン本体10Eは、CPU、フラッシュメモリ、RAM、および周辺回路を含む。このフラッシュメモリは、他のプログラマブルROMまたはマスクROMに置き換えられてもよい。

【0053】

レジスタ13Cは、PチャネルMOSトランジスタ5のゲートおよび選択回路23にレジスタ信号Sregを出力する。レジスタ13Cは、プログラマブルレジスタであって、マイコン本体10Eに供給される電源電圧の条件に応じて、「0」または「1」の値を保持する。レジスタ13Cが「0」の値を保持するとき、レジスタ信号SregはLレベルとなる。また、レジスタ13Cが「1」の値を保持するとき、レジスタ信号SregはHレベルとなる。

【0054】

レジスタ信号SregがLレベルのとき、PチャネルMOSトランジスタ5はオンとなる。このため、電源入力端子1とノードN1との間が短絡し、電源入力

端子1とノードN1との間のインピーダンスは低下する。これにより、抵抗素子2、インダクタ3、およびキャパシタ4により構成されるLPFによる電圧降下を低く抑えることができる。

【0055】

したがって、レジスタ信号SregがLレベルのとき、電源入力端子1に印加される外部電源電圧VCCは、LPFによる電圧降下の影響を受けずにマイコン本体10Eに供給される。これにより、電源入力端子1に印加される外部電源電圧VCCが低い場合でも、マイコン本体10Eの通常動作電圧をマイコン本体10Eに供給することが可能となる。

【0056】

一方、レジスタ信号SregがHレベルのとき、PチャネルMOSトランジスタ5はオフとなる。このとき、PチャネルMOSトランジスタ5は存在しないのと同じになる。したがって、電源入力端子1にノイズが印加された場合、抵抗素子2、インダクタ3、およびキャパシタ4によって構成されるLPFにより高周波ノイズが除去される。これにより、マイコン本体10Eに供給される電圧の変動が抑えられ、マイコン本体10Eの誤動作を防止することができる。

【0057】

また、マイコン本体10Eの動作によってマイコン本体10Eからノイズが生じた場合にも、抵抗素子2、インダクタ3、およびキャパシタ4によって構成されるLPFにより高周波ノイズが除去される。これにより、電源入力端子1からの高周波ノイズの放射を抑えることができる。

【0058】

レジスタ信号Sregは、選択回路23にも出力される。選択回路23は、レジスタ信号Sregに応じて、2分周された外部クロック信号および2分周されない外部クロック信号のいずれか一方を選択し、それをクロック信号CLKとしてマイコン本体10Eに出力する。

【0059】

図6は、レジスタ信号Sregに応じたクロック信号CLKの変化を説明するためのタイミング図である。

【0060】

図6に示すように、時刻 t_1 以前において、レジスタ信号 S_{reg} はLレベルになる。このとき、クロック信号 CLK は、図6に示すように、外部クロック信号 CLK_0 と同一のクロック信号となる。一方、時刻 t_1 以後において、レジスタ信号 S_{reg} はHレベルになる。このとき、クロック信号 CLK は、図6に示すように、外部クロック信号 CLK_0 を2分周したクロック信号となる。

【0061】

図5を参照して、レジスタ信号 S_{reg} がLレベルのとき、選択回路23は、外部クロック信号 CLK_0 を選択し、それをクロック信号 CLK としてマイコン本体10Eに供給する。一方、レジスタ信号 S_{reg} がHレベルのとき、選択回路23は、2分周回路22によって2分周された外部クロック信号を選択し、それをクロック信号 CLK としてマイコン本体10Eに供給する。

【0062】

レジスタ信号 S_{reg} がHレベルの場合、マイコン本体10Eには2分周された外部クロック信号が供給される。その結果、マイコン本体10Eでの消費電力を低減することができる。

【0063】

一方、レジスタ信号 S_{reg} がLレベルの場合、マイコン本体10Eには2分周されない外部クロック信号が供給される。その結果、マイコン本体10Eでの消費電力は、2分周された外部クロック信号がマイコン本体10Eに供給される場合に比べて増大する。

【0064】

しかしながら、前述したように、レジスタ信号 S_{reg} がLレベルのとき、電源入力端子1に印加される外部電源電圧 VCC は、LPFによる電圧降下の影響を受けずにマイコン本体10Eに供給される。これにより、マイコン本体10Eにおける相対的な消費電力の増大を抑制することができる。

【0065】

以上のように、実施の形態5によれば、マイコン本体10Eに供給されるクロック信号をレジスタ信号 S_{reg} に応じて選択することにより、実施の形態3で

の効果に加えて、マイコン本体 10E における相対的な消費電力の増大を抑制することができる。

【0066】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0067】

【発明の効果】

以上のように、この発明によれば、高速動作時または低電圧動作時においても LPF による電圧降下の影響を回避することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるマイクロコンピュータの回路構成を示した回路図である。

【図2】 この発明の実施の形態2によるマイクロコンピュータの回路構成を示した回路図である。

【図3】 この発明の実施の形態3によるマイクロコンピュータの回路構成を示した回路図である。

【図4】 この発明の実施の形態4によるマイクロコンピュータの回路構成を示した回路図である。

【図5】 この発明の実施の形態5によるマイクロコンピュータの回路構成を示した回路図である。

【図6】 レジスタ信号 Sreg に応じたクロック信号 CLK の変化を説明するためのタイミング図である。

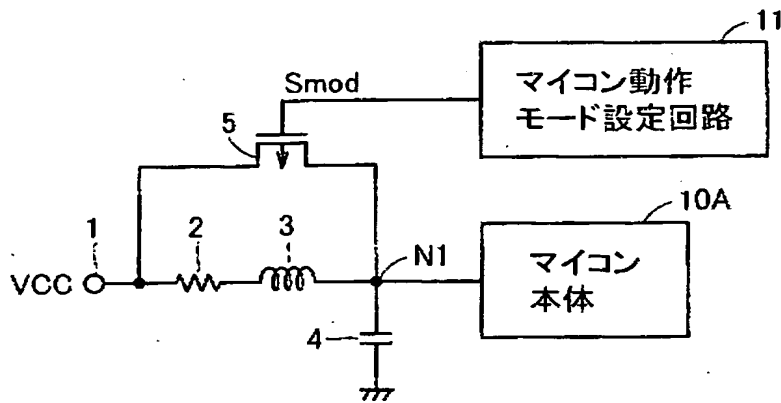
【符号の説明】

1 電源入力端子、2 抵抗素子、3 インダクタ、4 キャパシタ、5 Pチャネル MOS トランジスタ、10A~10E マイコン本体、10m メモリ、11 マイコン動作モード設定回路、12 電源電圧低下検出回路、13A~13C レジスタ、21 クロック入力端子、22 2分周回路、23 選択回

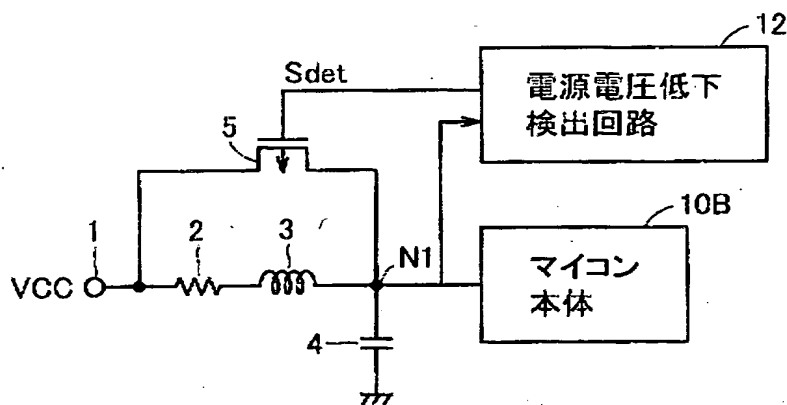
路。

【書類名】 図面

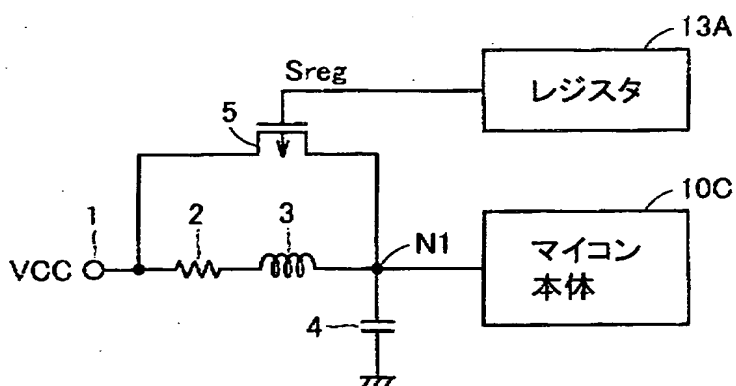
【図 1】



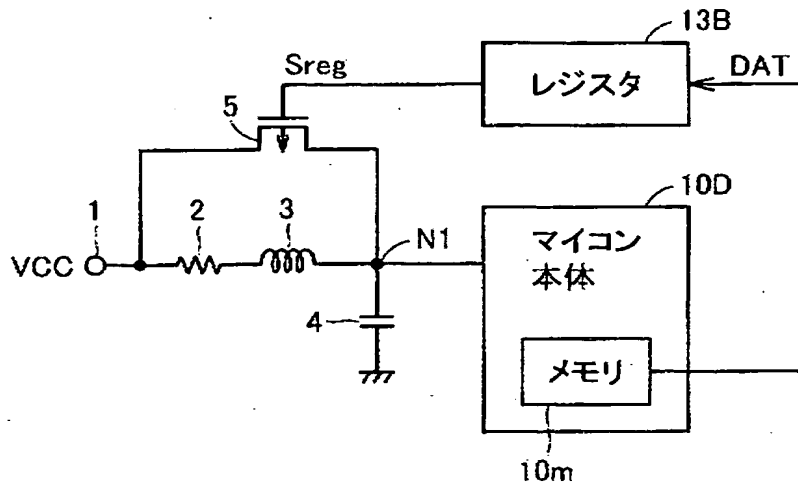
【図 2】



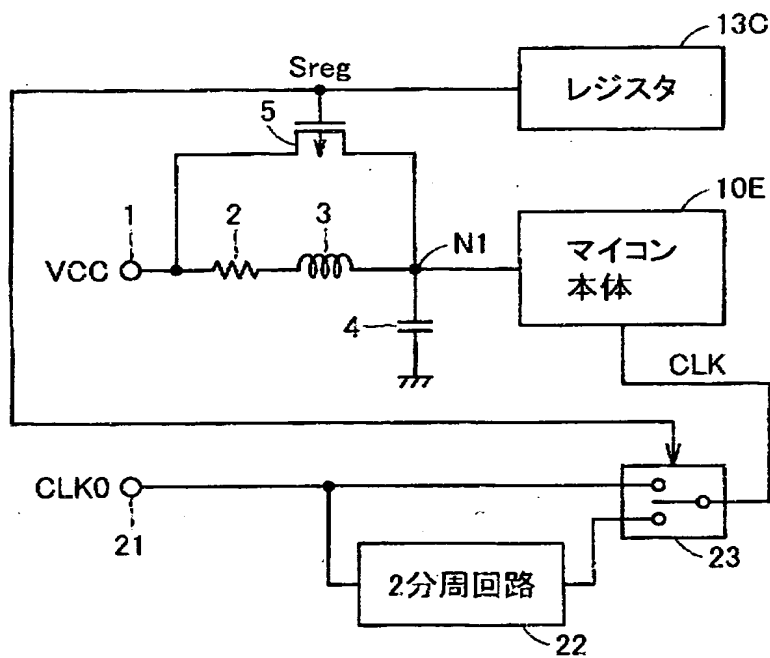
【図 3】



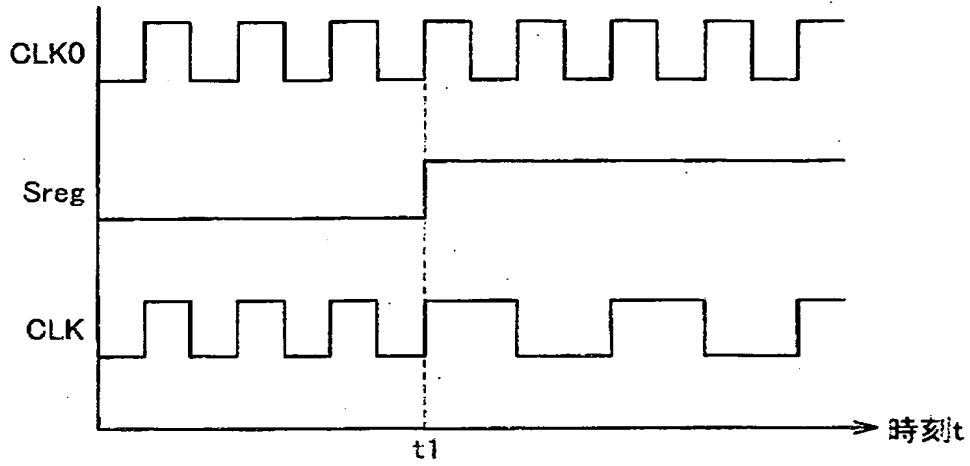
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 高速動作時または低電圧動作時においても L P F による電圧降下の影響を回避できる電源回路を有するマイクロコンピュータを提供する。

【解決手段】 マイコン動作モード設定回路 1 1 は、フラッシュメモリ書込みモードのとき、モード設定信号 S m o d を L レベルに設定する。このとき、抵抗素子 2、インダクタ 3、およびキャパシタ 4 により構成される L P F による電圧降下を低く抑えることができる。また、フラッシュメモリ書込みモード以外のときには、モード設定信号 S m o d を H レベルに設定する。このとき、抵抗素子 2、インダクタ 3、およびキャパシタ 4 によって構成される L P F により、高周波ノイズを除去することができる。

【選択図】 図 1

特願 2 0 0 3 - 1 6 2 5 1 7

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ